

257-611

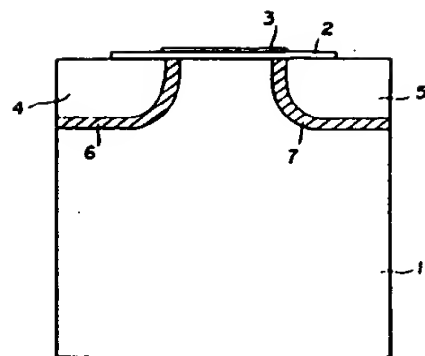
AU 2503 48906

JP 401157572 A  
JUN 1989**(54) SEMICONDUCTOR DEVICE**

(11) 1-157572 (A) (43) 20.6.1989 (19) JP  
(21) Appl. No. 62-315090 (22) 15.12.1987  
(71) OKI ELECTRIC IND CO LTD (72) TOSHISUKE BABA  
(51) Int. Cl. H01L29/78

**PURPOSE:** To prevent deterioration of electric properties due to a secondary carrier by forming a recombination center layer within a substrate so that it is positioned at least around a drain impurity diffusion layer.

**CONSTITUTION:** Recombination center layers 6, 7 having a recrystallized central density of  $10^{16} \sim 10^{17} \text{ cm}^{-3}$  are formed within a silicon substrate 1 so that they position around a source impurity diffusion layer 4 and a drain impurity diffusion layer 5. The recombination center layers 6, 7 are formed by diffusion gold (Au) in a temperature range of  $1000 \sim 1400^\circ \text{C}$  and a density of  $10^{16} \sim 10^{17} \text{ cm}^{-3}$  before and/or after a formation process of source drain impurity diffusion layers 4, 5 in usual manufacturing process of field effect transistor.



257-611

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-157572

⑬ Int.Cl.<sup>4</sup>

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

S-8422-5F

⑭ 公開 平成1年(1989)6月20日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体素子

⑯ 特 願 昭62-315090

⑰ 出 願 昭62(1987)12月15日

⑱ 発 明 者 馬 場 俊 祐

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 菊 池 弘

発 明 の 説 明

1. 発明の名称

半導体素子

2. 特許請求の範囲

半導体基板上にゲート酸化膜とゲート電極を配し、その両端の基板内にソース・ドレイン不純物拡散層を形成してなる半導体素子において、

ソース・ドレイン不純物拡散層のうち、少なくともドレイン不純物拡散層の周りに位置するとともに、前記基板内に再結合中心層を形成したことを特徴とする半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体素子、具体的には電界効果トランジスタに関するものである。

(従来の技術)

一般に、電界効果トランジスタは、例えば特公昭38-11563号公報に開示され、かつ第3図に示すように、シリコン基板1上にゲート酸化膜2とゲート電極3を配し、その両端の基板1内

にソース不純物拡散層4とドレイン不純物拡散層5を形成して構成される。

このような電界効果トランジスタでは、ゲート電極3に印加する電圧の強度を変えることでゲート酸化膜2とシリコン基板1の間に誘起させる多数担体の量を調整し、ソース不純物拡散層4とドレイン不純物拡散層5間(ソース・ドレイン間)に流れる電流の大きさを制御する。

(発明が解決しようとする問題点)

しかるに、上記のような従来の電界効果トランジスタでは、ソース・ドレイン間に印加される電圧が、ゲート電極3に印加される電圧に比べて大きいという動作電圧条件下で、ドレイン不純物拡散層5の近傍で発生する2次担体により、電気的特性が劣化するという問題点があった。

第4図(a)、(b)、(c)は、かかる電圧条件における電気的特性の変化の様子を、電界効果トランジスタ内の2次担体発生分布、少数担体の分布、および多数担体の分布によって示したものである。以下、この図を照して上記電気的特性を変化させ

る状況の詳細な説明を行う。

いま、上記の電界効果トランジスタのソース・ドレイン間に印加される電圧が、ゲート電極に印加される電圧に比べて大きい状況下では、第4図(a)の2次担体発生分布に示されるように、ドレイン不純物拡散層近傍の高電界領域で、衝突イオン化現象により2次担体11が発生する。

すると、第4図(a)の少数担体の分布に示されるように、発生した2次担体の内で、少数担体12は、素子内の電界分布に従い、ソース接合近傍領域13を通過して基板側に流れ、ソース接合近傍領域13の電位を低下させる。

そして、第4図(a)の多数担体の分布に示されるように、ソース接合近傍領域の電位障壁の高さが低下することによってソース不純物拡散層4(ソース領域)から基板側へ大量の多数担体が注入され、その結果ソース接合近傍で多数担体濃度が増大する領域14が形成され、ゲート電界によってソース・ドレイン間の電流を制御することが不可能になる状況が生じる。

3

で吸収されることになり、2次担体による電気的特性の劣化は生じない。

(実施例)

以下この発明の一実施例を図面を参照して説明する。第1図はこの発明の一実施例を示す断面図である。この図に示すように、この発明の一実施例では、ソース不純物拡散層4およびドレイン不純物拡散層5の周りに位置するごとく、シリコン基板1内に、 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ の再結合中心濃度を有する再結合中心層6、7が形成される。その他は第3図の従来の電界効果トランジスタと同一であり、同一部分は同一符号を付してその説明を省略する。

前記再結合中心層6、7は、通常の電界効果トランジスタの製造工程において、ソース・ドレイン不純物拡散層4、5の形成工程の前または後で、例えば金(Au)を、温度範囲1000～1400℃で、 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ の濃度で拡散させることによって形成される。ここで、再結合中心層形成用の金属としては、金金属であって、不純物

このような状況は、第5図に示される電界効果トランジスタの電流-電圧特性の異常現象15として観測される。

また、前記第4図(a)に示される、発生した2次担体11はゲート酸化膜2中に注入され、これにより酸化膜2中の電界分布が変化するので電気的特性が変化する。

この発明は、衝突イオン化現象によって発生する2次担体によって生じる電気的特性の劣化を防止した半導体素子を提供することを目的とする。

(問題点を解決するための手段)

この発明は、電界効果トランジスタにおいて、ソース・ドレイン不純物拡散層のうち、少なくともドレイン不純物拡散層の周りに位置するごとく、基板内に再結合中心層を形成するものである。

(作用)

上記のようにドレイン不純物拡散層の周りに再結合中心層を形成しておく、ドレイン不純物拡散層近傍の高電界領域で、衝突イオン化現象によって発生した2次担体は直ぐに前記再結合中心層

4

位がシリコンのエネルギーギャップの禁制帯と伝導帯の中心に位置するものであればよく、金以外にもNi, Fe, Coなどを使用できる。しかし、金は、拡散係数が他のものより2桁小さいため、再結合中心層の形成のための制御が容易である。さらに、金は、シリコンに対する固相度が大きい(溶ける量が多い)ため、再結合中心層の拡散濃度の選択の幅が大きいという長所をもつ。なお、金以外の金属を用いた場合は、上記のように拡散係数が大きい、拡散温度を低くする必要がある。

そして、上記のようにソース不純物拡散層4およびドレイン不純物拡散層5の周りに再結合中心層6、7を形成しておく、衝突イオン化現象によって発生する2次担体によって生じる電気的特性の劣化を防止できる。

第2図は、この発明の一実施例の効果をシミュレーションしたものを示し、第2図(a)は2次担体発生分布、同図(b)は少数担体の分布、同図(c)は多数担体の分布を示す。

第2図(a)の2次担体発生分布に示されるように、

層近傍の高電界領域で、衝突発生した2次担体21は、第1図のドレイン不純物拡散層5の周りの再結合中心層7で吸収され、第2図(a)の少数担体の分布から分るの従来例の2次担体発生領域に流れていく少数担体は、また、第1図の不純物拡散層4の周りの再結合中心層6に、ソース接合近傍領域22における電界のソースの層がない。その結果、第2図(b)の多数担体発生領域から分るように、ソース接合近傍領域22に発生する多数担体のソース不純物拡散層4からの注入がなく、電気的特性の劣化が無いことが分る。また、前記第2図(a)のように2次担体の発生分布が小さいと、2次担体のゲート酸化膜2中への注入がなく、この点からも電気的特性の劣化が防止される。

なお、上記一実施例では、ソース不純物拡散層4とドレイン不純物拡散層5の両方の周りに再結合中心層6, 7を形成するようにしたが、少なく

ともドレイン不純物拡散層5の周りに再結合中心層7を形成するだけで充分特性の劣化を防止できる。

しかるに、ドレイン不純物拡散層5側にのみ再結合中心層を形成すると、製造時、選択するための工程が必要となるので、製造時のことを考えると、両方に設けた方がよい。また、両方に再結合中心層を設ければ、一対の不純物拡散層のいずれをドレインとして用いても良く、さらに、回路パターンからマスクパターンを作成する際に、再結合中心層を露光する必要がなくなり、パターン形成が容易となる。

(発明の効果)

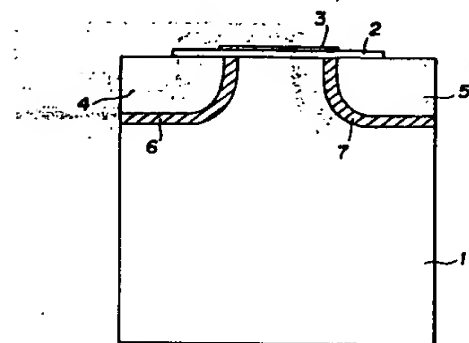
以上詳述したように、この発明の半導体素子によれば、少なくともドレイン不純物拡散層の周りに再結合中心層を設けて、衝突イオン化現象により発生した2次担体を吸収するようにしたので、前記2次担体による電気的特性の劣化を防止できる。

#### 4. 図面の簡単な説明

第1図はこの発明の半導体素子の一実施例を示す断面図、第2図(a)、(b)は上記一実施例の素子における2次担体発生分布、少数担体分布および多数担体分布を示す図、第3図は従来の電界効果トランジスタを示す断面図、第4図(a)、(b)は従来のトランジスタにおける2次担体発生分布、少数担体分布および多数担体分布を示す図、第5図は従来のトランジスタにおける電流-電圧特性図である。

1…シリコン基板、2…ゲート酸化膜、3…ゲート電極、4…ソース不純物拡散層、5…ドレイン不純物拡散層、6, 7…再結合中心層。

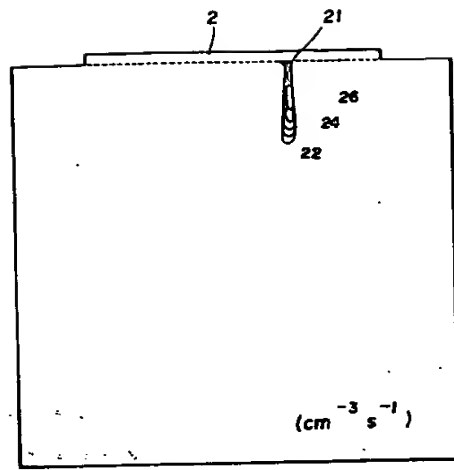
特許出願人 沖電気工業株式会社  
代理人 井理士 堀池 弘



1 : シリコン基板  
2 : ゲート酸化膜  
3 : ゲート電極  
4 : ソース不純物拡散層  
5 : ドレイン不純物拡散層  
6, 7 : 再結合中心層

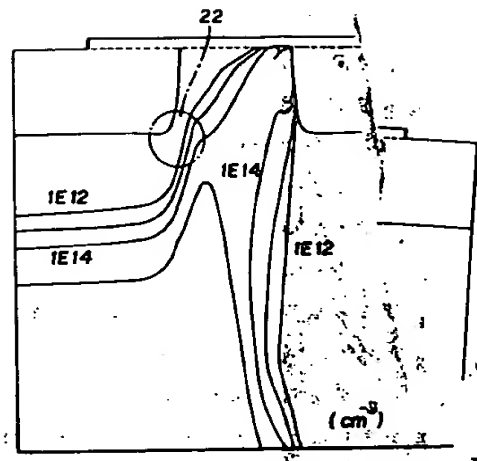
本発明一実施例による構造

第1図



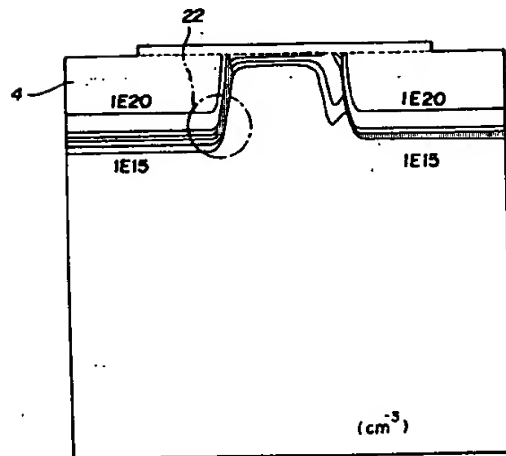
二次担体発生分布

第 2 図(a)



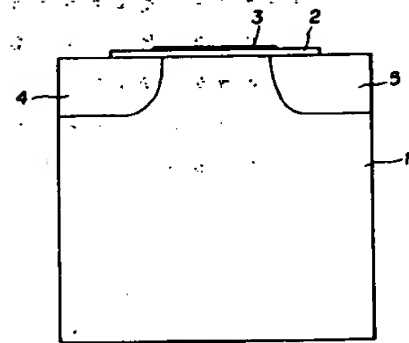
少数担体分布

第 2 図(b)



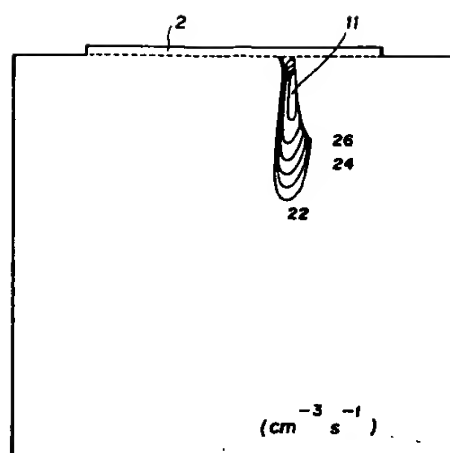
多数担体分布

第 2 図  
(c)



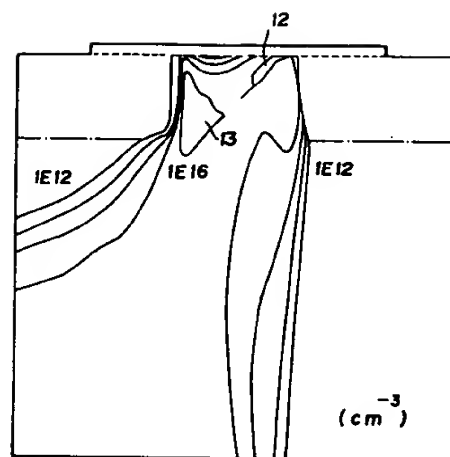
従来の構造

第 3 図



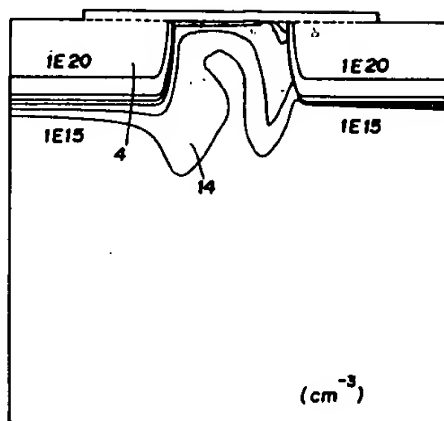
2次担体発生分布

第 4 図 (a)



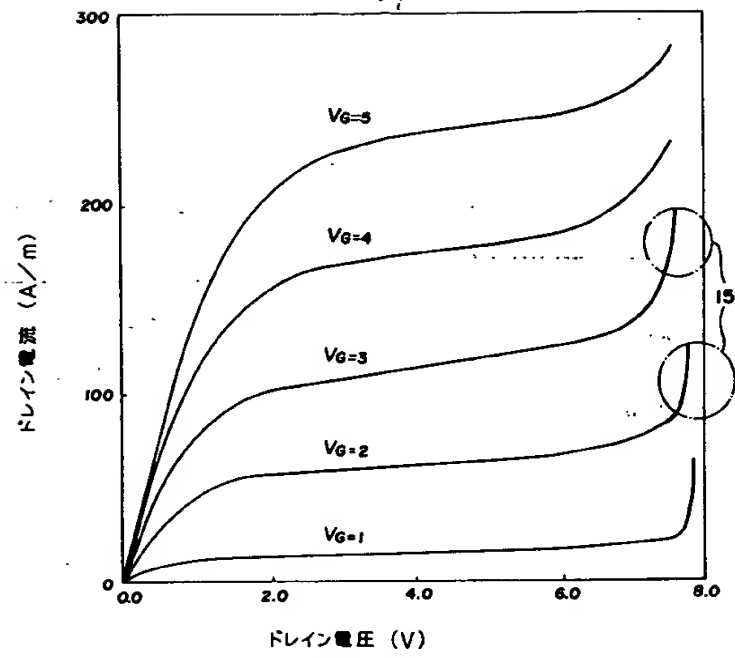
少数担体分布

第 4 図 (b)



多数担体分布

第 4 図 (c)



電流-電圧 特性

第 5 図